

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-133227

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.<sup>8</sup>

G 0 2 F 1/136  
1/1335  
H 0 1 L 29/786  
21/336

識別記号

5 0 0

F I

G 0 2 F 1/136 5 0 0  
1/1335  
H 0 1 L 29/78 6 1 2 Z

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号

特願平8-285352

(22) 出願日

平成 8 年(1996)10月28日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 佐藤 健史

茨城県日立市大みか町七丁目 1 番 1 号 株

式会社日立製作所日立研究所内

(72) 発明者 鬼沢 賢一

茨城県日立市大みか町七丁目 1 番 1 号 株

式会社日立製作所日立研究所内

(74) 代理人 弁理士 高橋 明夫 (外 1 名)

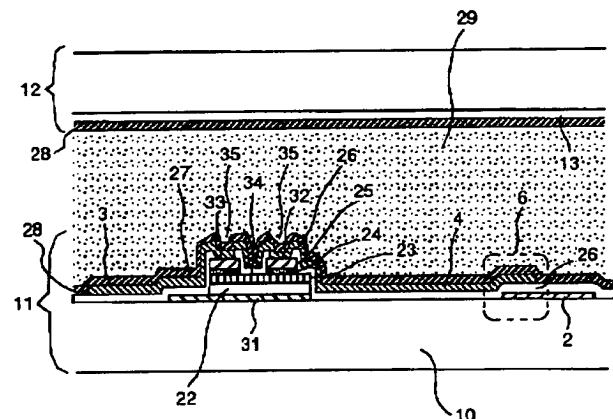
(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【課題】 工程の増加なく高画質で低消費電力な液晶表示装置を提供する。

【解決手段】 画素電極 4 と前段のゲート線 2 間に、保護絶縁膜 2 6 のみを挟持し半導体膜 2 3 を含まない蓄積容量 6 を設け、画素電極電圧の過渡応答による変動を抑制する。薄膜トランジスタ基板 1 1 は、上部金属膜 2 5 によるソース電極 3 2 及びドレイン電極 3 3 の下部が半導体膜 2 3 で覆われ、半導体膜 2 3 の下部がゲート絶縁膜 2 2 で覆われ、ゲート絶縁膜 2 2 の下部がゲート電極 3 1 で覆われるパターンに形成している。ドレイン線 3 とドレイン電極 3 3 及び画素電極 4 とソース電極 3 2 を保護絶縁膜 2 6 に開口したスルーホール 3 4 を介して透明導電膜 2 7 で接続する。

図 1



## 【特許請求の範囲】

【請求項1】 液晶を封入する一方の透明の絶縁基板上に、マトリックス状に交叉する複数のゲート線及びドレイン線と、その交叉部にゲート電極、ドレイン電極及びソース電極を有する薄膜トランジスタと、ソース電極に接続されて前記液晶に電圧を印加する画素電極を形成してなる液晶表示装置において、

ドレイン電極とソース電極を分離するチャンネル上を含んで保護絶縁膜が積層され、該絶縁膜に開口したスルーホールを介してドレイン線とドレイン電極及び、ソース電極と画素電極が各々接続され、且つ、画素電極と前段のゲート線の重なり部分に前記保護絶縁膜のみを含む蓄積容量が形成されてなることを特徴とする液晶表示装置。

【請求項2】 請求項1において、前記絶縁基板上にゲート線やゲート電極を形成するための下部金属膜と、ゲート線と接続されたゲート電極上のゲート絶縁膜と、ゲート絶縁膜上の半導体膜と、半導体膜上のコンタクト膜と、コンタクト膜上にドレイン電極やソース電極を形成するための上部金属膜を積層してなる薄膜トランジスタ基板は、ソース電極及びドレイン電極の下部が前記半導体膜で覆われ、その半導体膜の下部が前記ゲート絶縁膜で覆われ、そのゲート絶縁膜の下部がゲート電極で覆われたパターンに形成されてなることを特徴とする液晶表示装置。

【請求項3】 請求項2において、前記薄膜トランジスタ基板のドレイン線と画素電極の間にゲート線と同層に、前記保護絶縁膜を介して画素電極と絶縁された不透明な遮光膜を形成し、該遮光膜に対抗する対向基板上に不透明なブラックマトリクスを形成してなることを特徴とする液晶表示装置。

【請求項4】 請求項2または3において、前記薄膜トランジスタ基板のゲート線と画素電極の重なり部に、前記保護絶縁膜のみを含む寄生容量が形成されてなることを特徴とする液晶表示装置。

【請求項5】 液晶を封入する一方の透明の絶縁基板上に、マトリックス状に交叉する複数のゲート線及びドレイン線と、その交叉エリアに液晶への電圧の印加を制御する薄膜トランジスタと画素電極を形成してなる液晶表示装置の製造方法において、

前記一方の絶縁基板上に下部金属膜、ゲート絶縁膜、半導体膜、コンタクト膜及び上部金属膜を連続して積層し、第1のマスクパターンを用いて前記ゲート絶縁膜、前記半導体膜、前記コンタクト膜及び前記上部金属膜を略同一形状に加工し、第2のマスクパターンを用いて前記下部金属膜と前記上部金属膜からゲート線、ゲート電極及びチャンネルで分離されたソース電極とドレイン電極を形成し、それらの上に保護絶縁膜を形成した後に第3のマスクパターンによりソース電極及びドレイン電極上の保護絶縁膜にスルーホールを開口し、それらの上に透明導電膜を形成した後に第4のマスクパターンによりド

レイン線の形成及び前記スルーホールを介したドレイン線とドレイン電極の接続と、画素電極の形成及び画素電極とソース電極との接続を行なうことを特徴とする液晶表示装置の製造方法。

【請求項6】 請求項5において、

前記第2のマスクパターンに、画素電極とドレイン線の間隙を覆う遮光膜を形成するパターンを付加し、前記下部金属膜から前記遮光膜を形成することを特徴とする液晶表示装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタを用いた液晶表示装置とその製造方法に関する。

【0002】

【従来の技術】 薄膜トランジスタを用いた液晶表示装置は、工程の短縮による低コスト化が求められている。特開平7-175084号公報には、チャンネル形成と透明導電膜による画素電極形成とを同一マスクで行うことにより、ホトリソグラフィのマスク数を4枚に低減して形成した薄膜トランジスタ基板が開示されている。

【0003】 図10に、薄膜トランジスタを用いた従来の液晶表示素子の部分平面図を示す。透明絶縁基板上に、ゲート線1、ドレイン線3、画素電極4がマトリクス状に形成されている。ゲート線1上で、ドレイン線3から延伸された半導体膜23上に、チャンネル34により互いに分離されたソース電極32およびドレイン電極33が形成され薄膜トランジスタ5を構成している。ドレイン電極33はドレイン線3に、ソース電極32は画素電極4にそれぞれ接続されている。画素電極4上を除き、薄膜トランジスタ5とドレイン線3上には保護絶縁膜26が形成されている。画素電極4と前段のゲート線2の重なり部分には、ゲート絶縁膜22と半導体膜23を挟持した蓄積容量6が形成されている。

【0004】 図11に、図10のA-B'-B線の断面図を示す。透明絶縁基板10上にゲート絶縁膜22、半導体膜23、コンタクト膜24、上部金属膜25及び透明電極膜27を積層したドレイン線3が形成されている。下部金属膜からなるゲート線の一部であるゲート電極31上とその周辺部にゲート絶縁膜22、半導体膜23が形成され、半導体膜23上に積層されたコンタクト膜24、上部金属膜25、透明電極膜27からなるドレイン電極33及びソース電極32がチャンネル34で分離されて薄膜トランジスタ5を構成している。前段のゲート線2画素電極4の重なり部分に、蓄積容量6がゲート絶縁膜22、半導体膜23、コンタクト膜24、上部金属膜25を挟持して形成されている。また、保護絶縁膜26が画素電極4上を除いて形成されている。

【0005】 一方、携帯用情報機器に利用される液晶表示装置では、消費電力の低減が求められている。これに対し、薄膜トランジスタ基板の開口率を高めバックライ

トの消費電力を低減することが行なわれている。特開平4-84125号公報には、二重遮光の方法による開口率を向上する構成が開示されている。この構成では、画素電極とドレイン線の間隙は、薄膜トランジスタ基板のドレイン線と画素電極の間に設けられた遮光膜と、対向基板上的ブラックマトリクスによって遮光される。ブラックマトリクスは遮光膜がない場合に比べて縮少でき、その分開口率が向上する。

【0006】図9に、液晶表示装置の駆動回路の模式図を示す。複数のゲート線1, 2, 40, . . . と、複数のドレイン線3, . . . が互いにマトリクス状に交叉し、交叉部に薄膜トランジスタ5が接続されている。薄膜トランジスタ5には、画素電極4と対向電極13（図11）で挟持される液晶29の液晶容量9と、画素電極4と前段のゲート線2間に形成される蓄積容量6が接続される。

【0007】ゲート線1を選択して電圧を印加すると、薄膜トランジスタ5がオンとなり、ドレイン線3からの画像信号に対応した電圧が画素電極4を介して液晶29に印加され、その透過光量が制御されて画像が表示される。このとき、液晶容量9及び蓄積容量6が充電される。ゲート線1の電圧印加を止めると、薄膜トランジスタ5がオフとなるが、液晶容量9と蓄積容量6に充電された電荷によって液晶29の印加電圧が保持され、画像が維持される。各ゲート線を順次走査して、各ドレイン線3から画像信号に対応する電圧を画素電極4を介して各液晶29に印加し、全画素に画像を表示する。

【0008】

【発明が解決しようとする課題】薄膜トランジスタを用いた従来の液晶表示装置（図11）では、蓄積容量6に含まれる半導体膜23とゲート絶縁膜22に界面に、トラップされた電荷が徐々に放出されることにより、画素電極の電圧、すなわち液晶29に印加される電圧が変動して画質が悪くなる。画質の向上には、蓄積容量6に含まれる半導体膜23を除去する工程が必要となり、コストアップになる問題点があった。

【0009】また、従来の液晶表示装置は開口率が小さい。図12（a）、（b）に、図10のC-C'断面図とB-B'断面図を示す。（a）では画素電極4とドレイン線3の間隙、（b）では画素電極4とゲート線1の間隙が大きく、対向基板12上に大きなブラックマトリクス14を設けて遮光する。このため、開口率が小さく消費電力が低減できないという問題点がある。

【0010】（a）の断面で、薄膜トランジスタ基板に遮光膜を形成し、ブラックマトリクス14を縮少する上述の二重遮光の構成がある。しかし、遮光膜とドレイン線3はゲート絶縁膜22を用いて絶縁されるため、半導体膜23を介してドレイン線3の電圧が遮光膜の電圧を変動させ、画質が劣化する。また、（b）の断面で、ゲート線1と画素電極4を重ねると、ブラックマトリクス

14が不要となるが、重なり部分に形成される寄生容量に半導体膜23が含まれるために、蓄積容量6と同じ過渡応答によって画素電極4の電圧が変動して画質が劣化する。画質向上のためには、（a）の場合にはドレイン線と遮光膜の間隙のゲート絶縁膜上に形成されている半導体膜、（b）の場合には画素電極とゲート線の重なる部分の半導体膜を取り除く工程が必要になる。

【0011】本発明の目的は、上記した従来技術の問題点に鑑み、4枚ホトマスクによる薄膜トランジスタの製造工程を維持して、画質の向上や開口率の向上を実現できる液晶表示装置及びその製造方法を提供することにある。

【0012】

【課題を解決するための手段】上記目的は、液晶を封入する一方の透明の絶縁基板上に、マトリクス状に交叉する複数のゲート線及びドレイン線と、その交叉部にゲート電極、ドレイン電極及びソース電極を有する薄膜トランジスタと、ソース電極に接続されて前記液晶に電圧を印加する画素電極を形成してなる液晶表示装置において、ドレイン電極とソース電極を分離するチャンネル上を含んで保護絶縁膜が積層され、該絶縁膜に開口したスルーホールを介してドレイン線とドレイン電極及び、ソース電極と画素電極が各々接続され、且つ、画素電極と前段のゲート線の重なり部分に前記保護絶縁膜のみを含む蓄積容量が形成されてなることにより達成される。

【0013】また、前記絶縁基板上にゲート線やゲート電極を形成するための下部金属膜と、ゲート線と接続されたゲート電極上のゲート絶縁膜と、ゲート絶縁膜上の半導体膜と、半導体膜上のコンタクト膜と、コンタクト膜上にドレイン電極やソース電極を形成するための上部金属膜を積層してなる薄膜トランジスタ基板は、ソース電極及びドレイン電極の下部が前記半導体膜で覆われ、その半導体膜の下部が前記ゲート絶縁膜で覆われ、そのゲート絶縁膜の下部がゲート電極で覆われたパターンに形成されてなることを特徴とする。

【0014】また、前記薄膜トランジスタ基板のドレイン線と画素電極の間にゲート線と同層に、前記保護絶縁膜を介して画素電極と絶縁された不透明な遮光膜を形成し、該遮光膜に対抗する対向基板上に不透明なブラックマトリクスを形成してなることを特徴とする。

【0015】さらに、前記薄膜トランジスタ基板のゲート線と画素電極の重なり部に、前記保護絶縁膜のみを含む寄生容量が形成されてなることを特徴とする。

【0016】上記他の目的は、液晶を封入する一方の透明の絶縁基板上に、マトリクス状に交叉する複数のゲート線及びドレイン線と、その交叉エリアに液晶への電圧の印加を制御する薄膜トランジスタと画素電極を形成してなる液晶表示装置の製造方法において、前記一方の絶縁基板上に下部金属膜、ゲート絶縁膜、半導体膜、コンタクト膜及び上部金属膜を連続して積層し、第1のマ

スクパターンを用いて前記ゲート絶縁膜、前記半導体膜、前記コンタクト膜及び前記上部金属膜を略同一形状に加工し、第2のマスクパターンを用いて前記下部金属膜と前記上部金属膜からゲート線、ゲート電極及びチャネルで分離されたソース電極とドレイン電極を形成し、それらの上に保護絶縁膜を形成した後に第3のマスクパターンによりソース電極及びドレイン電極上の保護絶縁膜にスルーホールを開口し、それらの上に透明導電膜を形成した後に第4のマスクパターンによりドレイン線の形成及び前記スルーホールを介したドレイン線とドレイン電極の接続と、画素電極の形成及び画素電極とソース電極との接続を行なうことにより達成される。

【0017】また、前記第2のマスクパターンに、画素電極とドレイン線の間隙を覆う遮光膜を形成するパターンを付加し、前記下部金属膜から前記遮光膜を形成することを特徴とする。

【0018】本発明の液晶表示装置によれば、画素電極の電圧変動が抑制できるので画質が向上できる。また、画素電極の電圧に影響を与えない遮光膜を形成し、ブラックマトリクスを縮少できるので、開口率が向上し消費電力を低減できる。

【0019】本発明の液晶表示装置の製造方法によれば、前記薄膜半導体基板はソース電極及びドレイン電極の下部が前記半導体膜で覆われ、その半導体膜の下部が前記ゲート絶縁膜で覆われ、そのゲート絶縁膜の下部がゲート電極で覆われたパターンに形成されるので、下部金属膜、ゲート絶縁膜、半導体膜、コンタクト膜及び上部金属膜を積層した後にホト加工を行なうことができるので、従来の最小工程数である4枚のマスクパターンを維持して本発明による高性能の液晶表示装置を安価に製造できる。

【0020】

【発明の実施の形態】以下、本発明の実施形態について図面を参照しながら詳細に説明する。図1及び図2は、本発明の一実施例による液晶表示装置の構成を示し、それぞれ薄膜トランジスタを含む液晶表示装置の部分断面図と薄膜トランジスタ基板の平面図を示している。図2のA-A'断面が図1に相当している。

【0021】主として図1から見れば、透明絶縁基板10上に、Crの下部金属膜からなるゲート電極31とそれを接続するゲート線1、SiNからなるゲート絶縁膜22、 $\alpha$ -Siからなる半導体膜23、n+Siからなるコンタクト膜24とNbからなる上部金属膜25及び、チャネル34により分離されて形成されたソース電極32及びドレイン電極33からなる薄膜トランジスタ5が形成されている。その上にSiNからなる保護絶縁膜26が形成され、透明導電膜ITOからなる画素電極4及びドレイン線3が、ソース電極32及びドレイン電極33とそれぞれ保護絶縁膜26に開口されたスルーホール35を介して透明導電膜27により接続され、ま

た、画素電極4と前段のゲート線2の重なり部分に保護絶縁膜26が挟持された蓄積容量6が形成された薄膜トランジスタ基板11と、透明導電膜ITOからなる対向電極13が形成された対向基板12の間に、配向膜28を介して液晶29が封入されている。

【0022】また、図2から見れば、透明絶縁基板10上にゲート線1が形成され、半導体膜23の下部全面にゲート絶縁膜22がほぼ同一形状に形成され、その下部全面を覆うゲート線1から引き出されたゲート電極31が形成されている。チャネル34により半導体膜23上に積層されたコンタクト膜24と上部金属膜25が、ソース電極32とドレイン電極33に分離されて薄膜トランジスタ5が形成されている。保護絶縁膜26に開口されたスルーホール35を介して、透明導電膜27によりソース電極32と画素電極4が接続され、ドレイン電極33とドレイン線3が接続されている。画素電極4は前段のゲート線2と重なりを持ち、重なり部に保護絶縁膜26を挟持した蓄積容量6を有する。

【0023】本液晶表示装置に用いられる透明絶縁基板10上の薄膜トランジスタ基板11は、ドレイン電極33及びソース電極32の下部が半導体膜23で覆われ、半導体膜23の下部がゲート絶縁膜22で覆われ、ゲート絶縁膜22の下部がゲート電極31で覆われる形状を特徴としている。

【0024】この形状を有する薄膜トランジスタ基板11は、ゲート電極31、ゲート線1となる下部金属膜21、ゲート絶縁膜22、半導体膜23、ソース電極32及びドレイン電極33となるコンタクト膜24と上部金属膜25を積層した後に加工でき、後述するように最小工程となる4枚のマスクパターンによる製造方法を維持できる。これに対して、図11の薄膜トランジスタ基板では、ソース電極32及びドレイン電極33の下部は半導体膜23で覆われているが、ゲート絶縁膜22の下部はゲート電極31で覆われていない。すなわち、従来の最小プロセスである4枚マスクパターンによる製造方法によっては、本実施例の薄膜トランジスタ基板は実現できない。

【0025】本実施例における液晶表示装置の駆動回路は、上記した図9と同様に構成されている。すなわち、複数のゲート線1, 2, ... と、複数のドレイン線3, ... が互いにマトリクス状に交叉し、薄膜トランジスタ5が接続されている。ここでは、ゲート電極31の電圧が正となる選択時間のみ、薄膜トランジスタ5がオンして、ドレイン線3の電圧が画素電極4を介して液晶に印加される。また、液晶に直流を印加することによる画面の焼き付きを防止するため、一画面を表示する1フレームごとに液晶に印加する電圧の向きを反転させている。

【0026】図3に、本実施例と従来の比較による画素電極の電圧特性を示す。従来の液晶表示装置(図11)

10

20

30

40

50

では、蓄積容量6に含まれる半導体膜23とゲート絶縁膜22の界面にトラップされた電荷が放電し、点線で示した画素電極電圧43が時間とともに低下する。このため、液晶に印加される電圧の正負のバランスが崩れ、画面の焼き付きが生じて画質が低下する。本実施例では蓄積容量6に半導体膜23が含まれないため、実線で示した画素電極電圧42の変動が抑制され、画質が向上できた。

【0027】図4は、本発明の他の実施例による液晶表示装置の薄膜トランジスタ基板の平面図、図5は図4のA-A'断面図、図6は図4のB-B'断面図で、改良された二重遮光の構成を示している。

【0028】本実施例では透明導電膜からなる画素電極4とドレイン線3との隙間に、ゲート線1と同層の下部金属膜からなる遮光膜7が形成されている。対向基板12上には、ブラックマトリクス14が形成されている。画素電極4はゲート線1と重ねられ寄生容量8を形成している。この二重遮光構造によって、ブラックマトリクス14は遮光膜7の端からと透明の絶縁基板10、12の合わせ誤差16に相当する分縮小でき、開口率が大きくなる。

【0029】すなわち、本実施例の構成では、遮光膜7とドレイン線3を絶縁する絶縁膜30上に、従来(図11)の半導体膜23が存在していない。このため、ドレイン線3の電圧が遮光膜7の電圧を変化させることがなく、遮光膜7との重なり部分で容量結合した画素電極4の電圧が変動しない。ドレイン線3と遮光膜7の隙間17はブラックマトリクス14によって遮光している。

【0030】一方、図4のB-B'断面では、ゲート線1と画素電極4の間に隙間がないので、ブラックマトリクスが不要となる。また、画素電極4とゲート線1の重なり部分に、SiNからなる保護絶縁膜26を挟持した寄生容量8が形成されているが、寄生容量8には過当応答の原因となる半導体膜23が含まれないので、画素電極4の電圧が変動しない。この結果、開口率が大きく画質の劣化がない液晶表示装置を実現できる。

【0031】図7と図8に、液晶表示装置の製造方法の一実施例を示す。本実施例は、図1の液晶表示装置における薄膜トランジスタ基板11の製造工程(a)～(e)を示している。

【0032】(a)では、ガラスの透明絶縁基板10上に順次、スパッタによるCrからなる下部金属膜21を形成し、CVDによるSiNからなるゲート絶縁膜22、a-Siからなる半導体膜23及びn+Siからなるコンタクト膜24を形成し、スパッタによるNbからなる上部金属膜25を形成し、さらに第一のマスクを用いたホット工程によりレジストパターン51を形成する。

【0033】(b)では、ドライエッチングにより上部金属膜25、コンタクト膜24、半導体膜23及びゲート絶縁膜22を加工し、レジストパターン51を除去し

た後に、第二のマスクを用いたホット工程によりレジストパターン52を形成する。

【0034】(c)では、レジストパターン52により下部金属膜21をウエットエッチングで加工して、ゲート線2及びゲート電極31を形成する。なお、レジストパターン52に遮光膜のパターンを設け、この工程で図5に示した遮光膜7をゲート電極31と同じ下部金属膜21により形成することもできる。

【0035】続いて、ドライエッチングで上部金属膜25及びコンタクト膜24を加工して、チャネル34により分離されたドレイン電極33とソース電極32を有する薄膜トランジスタを形成する。さらに、CVDによるSiNからなる保護絶縁膜26を形成した後に、第三のマスクを用いたホット工程によりソース電極32及びドレイン電極33上にスルーホールを開口するためのレジストパターン53を形成する。

【0036】(d)では、保護絶縁膜26をドライエッチングにより加工してスルーホール35を開口した後に、ITO(Indium-Tin-Oxides)からなる透明導電膜27を形成し、第四のマスクを用いたホット工程により画素電極とドレイン線のレジストパターン54を形成する。

【0037】(e)では、透明導電膜27をウエットエッチングにより加工して画素電極4とドレイン線3を形成し、透明導電膜27によりスルーホール35を介してドレイン電極33とドレイン線3及びソース電極32と画素電極4をそれぞれ接続する。また、前段のゲート線2との重なり部に保護絶縁膜26のみを介して蓄積容量6を形成して、薄膜トランジスタ基板11を製造している。

【0038】上述したように、本実施例の液晶表示装置の薄膜トランジスタ基板11(図1)は、ドレイン電極23及びソース電極22の下部が半導体膜23で覆われ(半導体膜23の面が同等か大きい)、半導体膜23の下部がゲート絶縁膜22で覆われ(ゲート絶縁膜の面が同等か大きい)、ゲート絶縁膜22の下部がゲート電極31で覆われ(ゲート電極の面が同等か大きい)る形状を特徴としている。この形状の薄膜トランジスタ基板は、ゲート電極31及びゲート線1となる下部金属膜21、ゲート絶縁膜22、半導体膜23、ソース電極32及びドレイン電極33となるコンタクト膜24と上部金属膜25を積層した後に、ホット工程による加工を行なうことができるので、上述したプロセスにより最小工程数の4枚のマスクパターンを維持して形成できる利点を有する。

【0039】また、ホット工程をはさまないので、ゲート絶縁膜22と半導体膜23の界面を清浄に形成でき、半導体膜23と上部金属膜25からなるソース電極32及びドレイン電極34の電気的接触が良好になり、薄膜トランジスタの特性が向上して液晶表示装置の画質を向上

できる。

【0040】なお、下部金属膜21には実施例のCrの他、Nb、Mo、W、Taまたはこれらを主成分とする合金を用い、上部金属膜25にはNbの他、a-Siとのコンタクト性に優れるCr、Mo、W、Taまたはこれらを主成分とする合金を用いることができる。これら金属膜の加工にはドライエッチングの他、ウェットエッチングを用いてもよい。

【0041】

【発明の効果】本発明の液晶表示装置によれば、液晶表示装置に用いる薄膜トランジスタ基板は、画素電極と前段のゲート線の重なり部分に保護絶縁膜のみを含み蓄積容量を形成しているので、画素電極の電圧変動が抑制され、画質を向上する効果がある。

【0042】また、薄膜トランジスタ基板のドレイン線と画素電極の間に、ゲート線と同層な金属膜からなり画素電極と前記保護絶縁膜を介して絶縁された不透明な遮光膜と、この遮光膜の分だけ縮小されたブラックマトリクスを対向基板上に設け、さらに、前記ドレイン線と画素電極の重なり部に前記保護絶縁膜のみを含む寄生容量を形成しているため、二重遮光による開口率の向上と画素電極の電圧安定による画質向上する効果がある。これによって、画質の劣化しない低消費電力の液晶表示装置が実現できる。

【0043】本発明の液晶装置の製造方法によれば、前記薄膜トランジスタ基板はソース電極及びドレイン電極の下部が前記半導体膜で覆われ、その半導体膜の下部が前記ゲート絶縁膜で覆われ、そのゲート絶縁膜の下部がゲート電極で覆われたパターンに形成されるので、下部金属膜、ゲート絶縁膜、半導体膜、コンタクト膜及び上部金属膜を積層した後にホト加工を行なうことができるので、4枚のマスキによる最小のホトリソ工程を維持し、かつ、ホト工程をはさまないで、ゲート絶縁膜と半導体膜の界面を清浄に形成でき、半導体膜と上部金属膜からなるソース電極及びドレイン電極の電氣的接触が良

好になるので、安価で画質のよい液晶表示装置を提供できる。

【図面の簡単な説明】

【図１】本発明の一実施例を示し、液晶表示装置の薄膜トランジスタ基板の構成図（図２のＡ－Ａ'断面図）。

【図2】薄膜トランジスタ基板の平面図。

【図 3】液晶表示装置の従来及び本実施例における画素電極電圧の特性図。

【図４】本発明の他の実施例を示し、液晶表示装置の薄膜トランジスタ基板の構成図。

【図5】図4のA-A'断面図。

【図6】図4のB-B'断面図。

【図7】図1の薄膜トランジスタ基板の製造方法を示す工程図。

【図8】 図7の続きを示す工程図。

【図 9】 液晶表示装置の駆動回路を説明する模式図。

【図10】従来の液晶表示装置の薄膜トランジスタ基板の構成図。

【図11】 図10のA-B断面図。

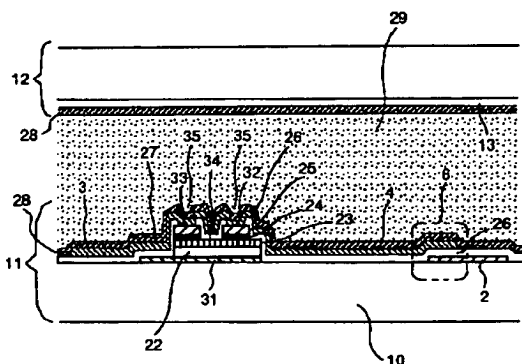
【図 12】従来の薄膜トランジスタ基板の遮光と開口率の関係を示す説明図。

【符号の説明】

1…ゲート線、2…前段のゲート線、3…ドレイン線、  
4…画素電極、5…薄膜トランジスタ、6…蓄積容量、  
7…遮光膜、8…寄生容量、9…液晶容量、10…透明  
絶縁基板、11…薄膜トランジスタ基板、12…対向基  
板、13…対向電極、14…ブラックマトリクス、15  
…ブラックマトリクスの縮少部、16…合わせ誤差、1  
7、18…間隙、21…下部金属膜、22…ゲート絶縁  
膜、23…半導体膜、24…コンタクト膜、25…上部  
金属膜、26…保護絶縁膜、27…透明導電膜、28…  
配向膜、29…液晶、30…絶縁膜、31…ゲート電  
極、32…ソース電極、33…ドレイン電極、34…チ  
ャネル、35…スルーホール、40…ゲート線、51～  
54…レジストパターン。

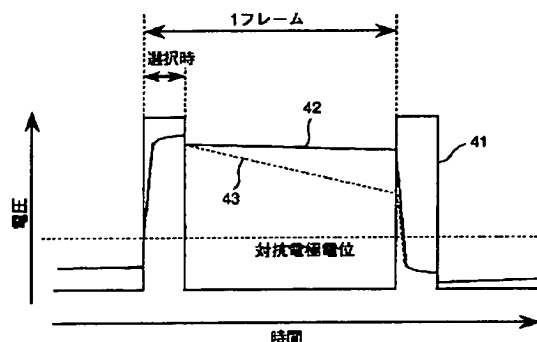
【图 1】

1



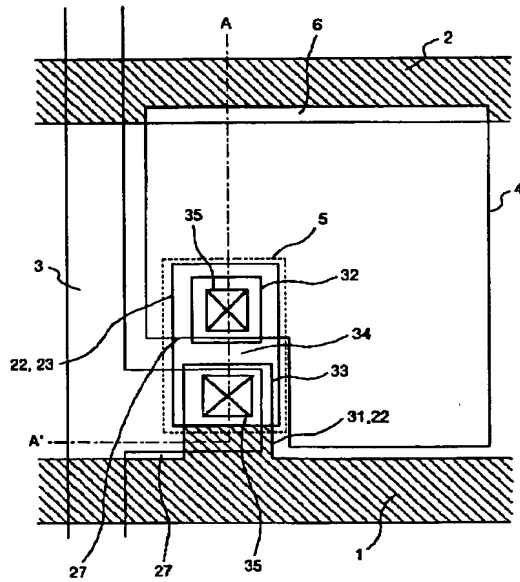
【図 3】

**图 3**



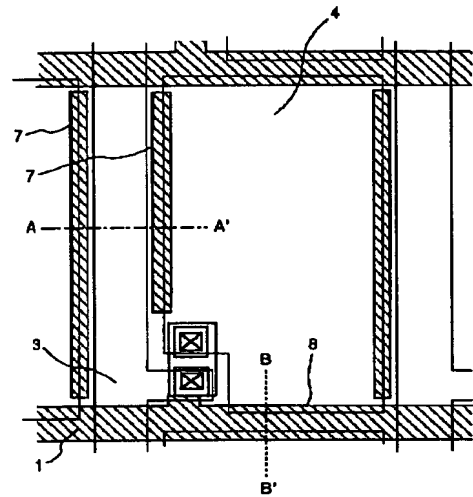
【図 2】

図 2



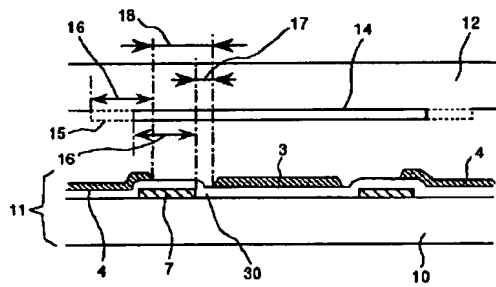
【図 4】

図 4



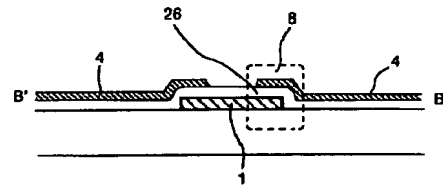
【図 5】

図 5



【図 6】

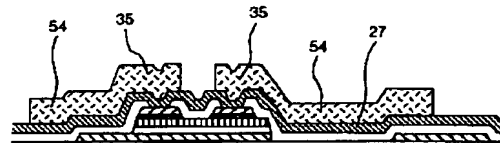
図 6



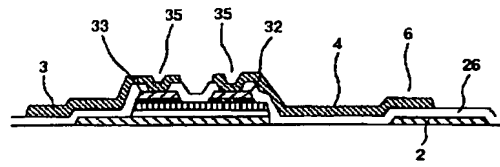
【図 8】

図 8

(d)

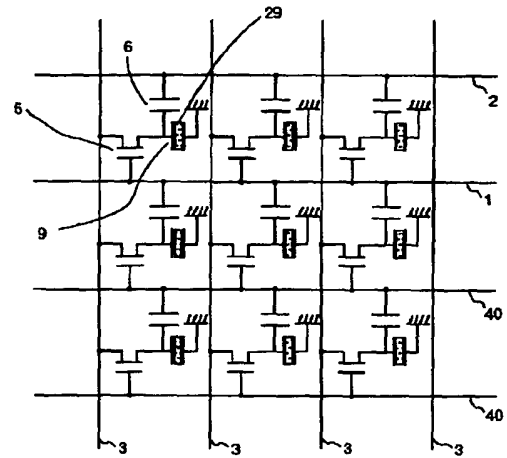


(e)



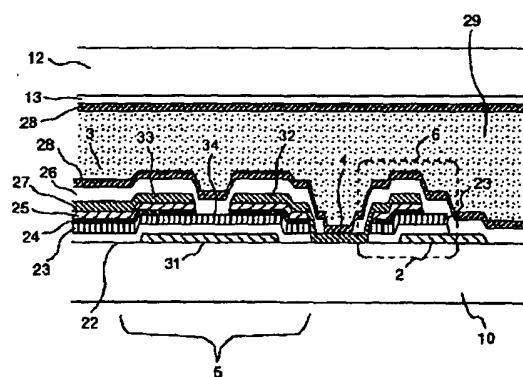
【図 9】

**9**



【図 1 1】

11





【図12】

図 12

